

(11)Publication number : 05-283695

(43)Date of publication of application : 29.10.1993

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-110682

(71)Applicant : NEC CORP

(22)Date of filing : 03.04.1992

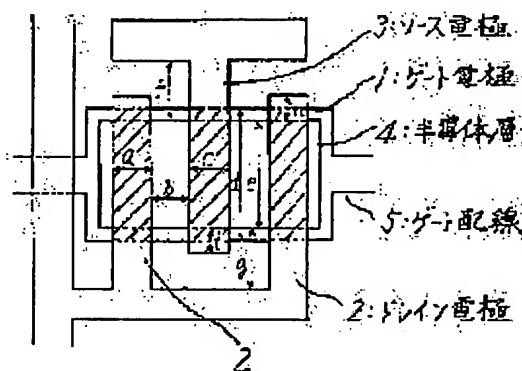
(72)Inventor : HORI YOSHIHIKO

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To improve the yield and control the variation of product quality and improve the quality, by reducing the influence on thin film transistor characteristics caused by the variation in manufacturing process.

CONSTITUTION: Regardless of structures in which a gate electrode is led out of a gate wiring or the gate wiring itself is used as the gate electrode, a thin film transistor has a structure in which a source electrode 3 normal to a gate electrode 1 and protruded from the gate electrode 1 is installed and a drain electrode 2 normal to the gate electrode 1 at the same layer as the source electrode 3 with a channel sandwiched between both sides of the source electrode 3 and protruded from the gate electrode 1 is disposed. Accordingly, since characteristics are not affected and operations necessary for TFT are secured even if the source electrode 3 and the drain electrode 2 largely deviate from the gate electrode 1 within the limit, the yield can be improved and further the variation of product quality can be controlled.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection] 22.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the thin film transistor characterized by it being the MIS mold thin film transistor which has a source electrode, a drain electrode, and a gate electrode, and a source electrode intersecting perpendicularly to a gate electrode, and overflowing a gate electrode, it being arranged for a long time, and a gate electrode and a drain electrode crossing at right angles in a source electrode and this layer at the both sides of a source electrode, and overflowing a gate electrode, and being arranged for a long time.

[Claim 2] It is the thin film transistor characterized by it being the MIS mold thin film transistor which has a drain electrode, a source electrode, and a gate electrode, and a gate electrode and a drain electrode crossing at right angles, and overflowing a gate electrode, it being arranged for a long time, and a gate electrode and a source electrode crossing at right angles in a drain electrode and this layer at the both sides of a drain electrode, and overflowing a gate electrode, and being arranged for a long time.

[Claim 3] It is the thin film transistor characterized by being the MIS mold thin film transistor which has a source electrode, a drain electrode, and a gate electrode, for a source electrode and a gate electrode and a drain electrode crossing at right angles, and protruding them from a gate electrode, arranging them for a long time, and arranging them by turns further.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the structure of a thin film transistor where a thin film transistor, especially interelectrode capacity become stable to a manufacture process.

[0002]

[Description of the Prior Art] the structure of the conventional thin film transistor (henceforth

TFT) is shown in drawing 4 -- as -- the gate electrode 1 top -- gate dielectric film (not shown) and the semi-conductor layer 4 -- preparing -- the drain electrode 2 and the source electrode 3 -- respectively -- the gate electrode 1 -- receiving -- an parallel direction -- and it formed so that it might have the lap of a and c, respectively. Especially this structure may share a gate electrode with gate wiring not only like what pulls out the gate electrode 1 from the gate wiring 5 but like drawing 5 , and may form the drain electrode 2 and the source electrode 3 in parallel with this.

[0003]

[Problem(s) to be Solved by the Invention] With the structure of the conventional TFT, there is a problem that a TFT property tends to be influenced, by fluctuation of a manufacture process. For example, in the example of drawing 4 , when superposition shifts in the x directions at the time of formation of the drain electrode 2 and the source electrode 3, the lap capacity C_{gs} (capacity of the slash section) between the gate electrode 1 and the source electrode 3 changes. This serves as fluctuation of fluctuation-feed-through offset of the capacity between the gate sources, and appears. Moreover, when the width of face d of a gate electrode becomes thin by over-etching etc., Lap [between gate drains] a and lap c between the gate sources become small. In order for it to become impossible for the allowances over a gap of x directions to decrease and to maintain TFT actuation also to a small gap and to avoid this moreover, when gate electrode width of face d is enlarged, there is a problem that the capacity between the gate sources increases and feed through increases.

[0004] Moreover, in one device, there is a possibility by the exposure part that it may shift and the ununiformity of the property in a device may occur by the difference of the direction, by the case where splice exposure is performed.

[0005] In the example of drawing 4 , x directions only changed in the direction of y, and it is the same as that of the example of drawing 5 .

[0006] The purpose of this invention is to offer the thin film transistor which solved said technical problem.

[0007]

[Means for Solving the Problem] The thin film transistor which starts this invention in order to attain said purpose is an MIS mold thin film transistor which has a source electrode, a drain electrode, and a gate electrode, and a source electrode intersects perpendicularly to a gate electrode, and a gate electrode is overflowed, it is arranged for a long time, and a gate electrode and a drain electrode cross at right angles in a source electrode and this layer at the both sides of a source electrode, and a gate electrode is overflowed, and it is arranged for a long time.

[0008] Moreover, the thin film transistor concerning this invention is an MIS mold thin film transistor which has a drain electrode, a source electrode, and a gate electrode, and a gate electrode and a drain electrode cross at right angles, and a gate electrode is overflowed, it is arranged for a long time, and a gate electrode and a source electrode cross at right angles in a drain electrode and this layer at the both sides of a drain electrode, and a gate electrode is overflowed, and it is arranged for a long time.

[0009] Moreover, the thin film transistor concerning this invention is an MIS mold thin film transistor which has a source electrode, a drain electrode, and a gate electrode, and a source electrode and a gate electrode and a drain electrode cross at right angles, and are protruded from a gate electrode, are arranged for a long time, and are arranged further by turns.

[0010]

[Function] When arranging so that a gate electrode, and a drain electrode and a source electrode may be intersected perpendicularly, and making it the area of a gate electrode-source inter-electrode lap field and the area of the lap field of a gate electrode-drain electrode become fixed, it is made not to change feed-through offset.

[0011]

[Example] Hereafter, drawing explains the example of this invention.

[0012] (Example 1) Drawing 1 is the top view showing the example 1 of this invention.

[0013] In drawing 1 , in 1, a drain electrode and 3 show a source electrode and, as for a gate electrode and 2, 4 shows a semi-conductor layer.

[0014] This example is the MIS mold thin film transistor which shared the gate electrode 1 and the gate wiring 5. In this example, after formation of the gate electrode 1, insulating-layer (not shown) attachment is performed and a semi-conductor layer is formed on the gate electrode 1.

[0015] The gate electrode 1 and the source electrode 3 cross at right angles, and is protruded from the gate electrode 1, is arranged for a long time and formed. Furthermore, the gate electrode 1 and the drain electrode 2 cross at right angles in the source electrode 3 and this layer, and is protruded from the gate electrode 1, is arranged for a long time and formed.

[0016] moreover, a -- gate electrode-drain electrode lap width of face and b -- channel length and c -- in gate electrode-source electrode lap width of face and d, a channel agenesis field and h show a drain electrode superposition margin, and, as for gate electrode width of face and e, i shows a source electrode superposition margin, as for a semi-conductor layer width, and f and g.

[0017] Especially in this invention, a channel was not prepared in the range of f and g, but thereby, the superposition margin has been obtained without affecting feed through.

[0018] (Example 2) Drawing 2 is the top view showing the example 2 of this invention.

[0019] In drawing 2, in 1, a source electrode and 4 show a semi-conductor layer, and, as for a gate electrode and 2, 5 shows gate wiring, as for a drain electrode and 3. This example is the thing of the mold which shared the gate electrode 1 and the gate wiring 5. The gate electrode 1 and the drain electrode 2 cross at right angles, and is protruded from the gate electrode 1, is arranged for a long time and formed. The gate electrode 1 and the source electrode 3 cross at right angles in the drain electrode 2 and this layer at the both sides of the drain electrode 2, and is protruded from the gate electrode 1, is arranged for a long time and formed.

[0020] (Example 3) Drawing 3 is the top view showing the example 3 of this invention.

[0021] In drawing 3, in 1, a drain electrode and 3 show a source electrode and, as for a gate electrode and 2, 4 shows a semi-conductor layer. In this example, it is what the source electrode 3 and the gate electrode 1 and the drain electrode 2 crossed at right angles on the basis of the gate electrode 1, and overflowed the gate electrode 1, and has arranged for a long time, and has arranged the source electrode 3 and the drain electrode 2 by turns, and the gate electrode 1 is divided with the gate wiring 5, and two source electrodes, three drain electrodes, and four channels are formed by 1 set of TFT(s).

[0022]

[Effect of the Invention] As explained above, in the thin film transistor of this invention, by having the long source electrode and drain electrode which intersect perpendicularly to a gate electrode and are protruded from a gate electrode, a gate electrode-source inter-electrode lap area (slash section in drawing 1) and a gate electrode-drain inter-electrode lap area (slash section in drawing 1) are not based on the superposition of each electrode, but become fixed, and feed-through offset becomes fixed. When forming the device of a large area and performing division exposure from this, even if how depending on which superposition shifts for every exposure location differs, feed-through offset of the whole device can be carried out to regularity.

[0023] Moreover, since it does not become the offset gate even if an electrode becomes thin somewhat by over etching etc., since it is guaranteed that a gate electrode and a source electrode lap by making it this structure and that a gate electrode and a source electrode lap, but a desired thin film transistor is formed certainly, the yield can be improved.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original

precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the example 1 of this invention.

[Drawing 2] It is the top view showing the example 2 of this invention.

[Drawing 3] It is the top view showing the example 3 of this invention.

[Drawing 4] It is the top view showing the conventional example.

[Drawing 5] It is the top view showing the conventional example.

[Description of Notations]

1 Gate Electrode

2 Drain Electrode

3 Source Electrode

4 Semi-conductor Layer

5 Gate Wiring

Gate electrode-drain electrode lap width of face

b Channel length

c Gate electrode-source electrode lap width of face

d Gate electrode width of face

e Semi-conductor layer width

f, g Channel agensis field

h Drain electrode superposition margin

i Source electrode superposition margin

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

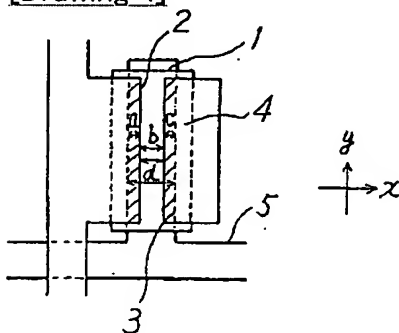
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

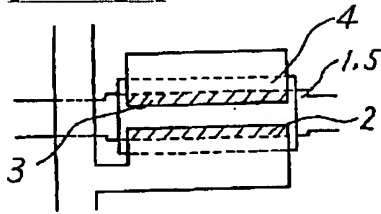
3.In the drawings, any words are not translated.

DRAWINGS

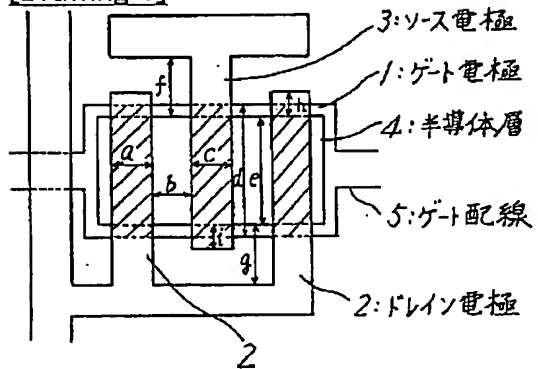
[Drawing 4]



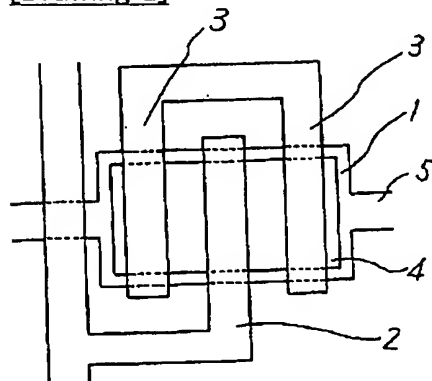
[Drawing 5]



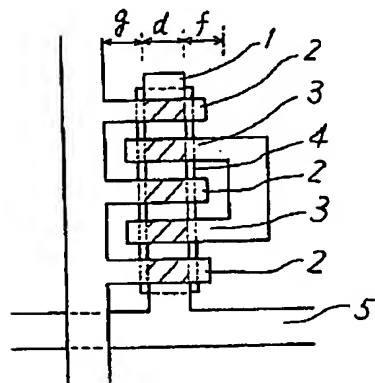
[Drawing 1]



[Drawing 2]



[Drawing 3]



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-283695

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

9056-4M

H01L 29/78

311 S

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平4-110682

(22)出願日 平成4年(1992)4月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 堀 良彦

東京都港区芝五丁目7番1号 日本電気株式会社内

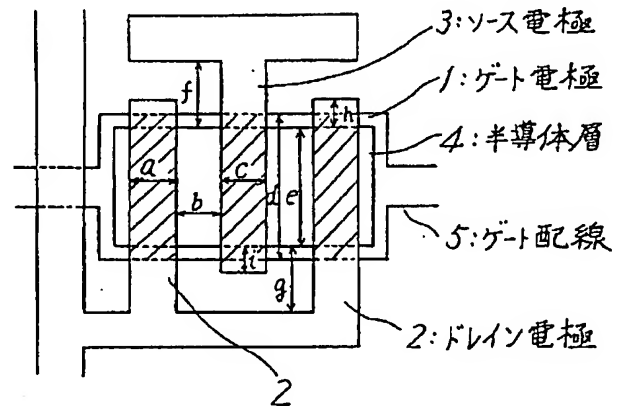
(74)代理人 弁理士 菅野 中

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 薄膜トランジスタの特性が製造プロセス変動より受ける影響を小さくし、歩留りの向上、品毎のばらつきを抑え、品質向上をねらう。

【構成】 ゲート電極をゲート配線から引き出して構成するもの、もしくはゲート配線自体をゲート電極として使うものにかかわらず、ゲート電極1に直交し、かつゲート電極1からはみ出したソース電極3を配置し、その左右にチャネルをはさんでソース電極3と同一層でゲート電極1に直交し、かつゲート電極1からはみ出したドレイン電極2を配置した構造の薄膜トランジスタとすることにより、ゲート電極1に対してソース電極3、ドレイン電極2が限度内でいかにずれても、特性には影響が現れず、かつ、TFETとして動作が保証されるため、歩留りが向上し、さらに品物毎のばらつきも抑えられる。



【特許請求の範囲】

【請求項1】 ソース電極と、ドレイン電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ソース電極は、ゲート電極に対し直交し、かつゲート電極からはみ出して長く配置されたものであり、ドレイン電極は、ソース電極の両側にソース電極と同層でゲート電極と直交し、かつゲート電極からはみ出して長く配置されたものであることを特徴とする薄膜トランジスタ。

【請求項2】 ドレイン電極と、ソース電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ドレイン電極は、ゲート電極に直交し、かつゲート電極からはみ出して長く配置されたものであり、ソース電極は、ドレイン電極の両側にドレイン電極と同層でゲート電極と直交し、かつゲート電極からはみ出して長く配置されたものであることを特徴とする薄膜トランジスタ。

【請求項3】 ソース電極と、ドレイン電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ソース電極及びドレイン電極は、ゲート電極に直交し、かつゲート電極からはみ出して長く配置され、さらに交互に配置されたものであることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ、特に電極間容量が製造プロセスに対し安定となる薄膜トランジスタの構造に関する。

【0002】

【従来の技術】 従来の薄膜トランジスタ（以下、TFTという）の構造は図4に示すように、ゲート電極1上にゲート絶縁膜（図示しない）、半導体層4を設け、ドレイン電極2、ソース電極3をそれぞれゲート電極1に対して平行な方向に、かつ、それぞれa、cの重なりを持つように形成していた。この構造は、特にゲート電極1をゲート配線5から引き出すものに限らず、図5のようにゲート電極をゲート配線と共用し、これに平行してドレイン電極2、ソース電極3を設ける場合もある。

【0003】

【発明が解決しようとする課題】 従来のTFTの構造では、製造プロセスの変動により、TFT特性が影響を受け易いといった問題がある。例えば、図4の例では、ドレイン電極2、ソース電極3の形成時、x方向に重ね合わせがずれた場合、ゲート電極1、ソース電極3の間の重なり容量 C_{gs} （斜線部の容量）が変化する。これは、ゲート・ソース間の容量の変動－フィードスルーオフセットの変動となって現れる。また、ゲート電極の幅dがオーバーエッチ等により細くなった場合、ゲート・ドレイン間の重なりa、ゲート・ソース間の重なりcが小さくなり、x方向のずれに対する余裕が減少し、小さ

なずれに対してもTFT動作を維持できなくなる可能性があり、しかもこれを回避するためにゲート電極幅dを大きくした場合は、ゲート・ソース間の容量が増加し、フィードスルーが増加するといった問題がある。

【0004】 また、一つのデバイスにおいて、継ぎ露光を行う場合では、露光箇所によるずれ方の違いによって、デバイス中の特性の不均一が発生する恐れがある。

【0005】 図4の例では、x方向がy方向に変わっただけで、図5の例と同様である。

【0006】 本発明の目的は、前記課題を解決した薄膜トランジスタを提供することにある。

【0007】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る薄膜トランジスタは、ソース電極と、ドレイン電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ソース電極は、ゲート電極に対し直交し、かつゲート電極からはみ出して長く配置されたものであり、ドレイン電極は、ソース電極の両側にソース電極と同層でゲート電極と直交し、かつゲート電極からはみ出して長く配置されたものである。

【0008】 また、本発明に係る薄膜トランジスタは、ドレイン電極と、ソース電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ドレイン電極は、ゲート電極に直交し、かつゲート電極からはみ出して長く配置されたものであり、ソース電極は、ドレイン電極の両側にドレイン電極と同層でゲート電極と直交し、かつゲート電極からはみ出して長く配置されたものである。

【0009】 また、本発明に係る薄膜トランジスタは、ソース電極と、ドレイン電極と、ゲート電極とを有するMIS型薄膜トランジスタであって、ソース電極及びドレイン電極は、ゲート電極に直交し、かつゲート電極からはみ出して長く配置され、さらに交互に配置されたものである。

【0010】

【作用】 ゲート電極と、ドレイン電極、ソース電極を直交するように配置し、ゲート電極－ソース電極間の重なり領域の面積及びゲート電極－ドレイン電極の重なり領域の面積が一定となるようにすることにより、フィードスルーオフセットが変動しないようにする。

【0011】

【実施例】 以下、本発明の実施例を図により説明する。

【0012】 （実施例1） 図1は、本発明の実施例1を示す平面図である。

【0013】 図1において、1はゲート電極、2はドレイン電極、3はソース電極、4は半導体層を示す。

【0014】 本実施例は、ゲート電極1とゲート配線5を共用したMIS型薄膜トランジスタである。本実施例では、ゲート電極1の形成後、絶縁層（図示しない）付けを行いゲート電極1上に半導体層を形成する。

【0015】ソース電極3は、ゲート電極1と直交し、かつゲート電極1からはみ出して長く配置して形成する。さらにドレイン電極2はソース電極3と同層でゲート電極1と直交し、かつゲート電極1からはみ出して長く配置して形成する。

【0016】また、aはゲート電極ードレイン電極重なり幅、bはチャンネル長、cはゲート電極ーソース電極重なり幅、dはゲート電極幅、eは半導体層幅、f、gはチャンネル非形成領域、hはドレイン電極重ね合わせマージン、iはソース電極重ね合わせマージンを示す。

【0017】本発明では、特にfとgの範囲にチャンネルを設けず、これにより、フィードスルーに影響を与えないで重ね合わせマージンを得ている。

【0018】（実施例2）図2は、本発明の実施例2を示す平面図である。

【0019】図2において、1はゲート電極、2はドレイン電極、3はソース電極、4は半導体層、5はゲート配線を示す。本実施例は、ゲート電極1とゲート配線5を共用した型のものである。ドレイン電極2は、ゲート電極1に直交し、かつゲート電極1からはみ出して長く配置して形成する。ソース電極3は、ドレイン電極2の両側にドレイン電極2と同層でゲート電極1と直交し、かつゲート電極1からはみ出して長く配置して形成する。

【0020】（実施例3）図3は、本発明の実施例3を示す平面図である。

【0021】図3において、1はゲート電極、2はドレイン電極、3はソース電極、4は半導体層を示す。本実施例では、ゲート電極1を基準として、ソース電極3とドレイン電極2がゲート電極1に直交し、かつゲート電極1からはみ出して長く配置し、かつソース電極3とドレイン電極2を交互に配置したもので、ゲート電極1をゲート配線5と分けており、1組のTFTで2つのソース電極、3つのドレイン電極、4つのチャンネルを形成している。

【0022】

【発明の効果】以上説明したように、本発明の薄膜トラ

ンジスタでは、ゲート電極に対して直交し、かつゲート電極からはみ出す長いソース電極及びドレイン電極を有することにより、ゲート電極ーソース電極間の重なり面積（図1中の斜線部）及びゲート電極ードレイン電極間の重なり面積（図1中斜線部）が各電極の重ね合わせによらず、一定となり、フィードスルーオフセットは一定となる。このことより、例えば大面積のデバイスを形成する時に分割露光を行う場合に、露光位置毎に重ね合わせのずれ方が異なっても、デバイス全体のフィードスルーオフセットは一定にすることができる。

【0023】また、この構造にすることにより、ゲート電極とソース電極が重なること、及びゲート電極とソース電極が重なることが保証されるため、オーバーエッチング等により電極が多少細くなってもオフセットゲートとならず、所望の薄膜トランジスタが確実に形成されるため、歩留りを向上できる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す平面図である。

【図2】本発明の実施例2を示す平面図である。

【図3】本発明の実施例3を示す平面図である。

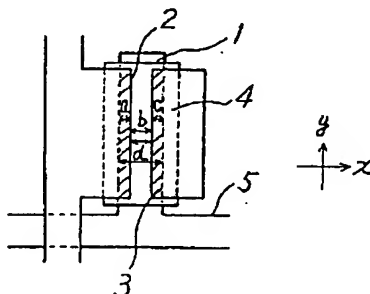
【図4】従来例を示す平面図である。

【図5】従来例を示す平面図である。

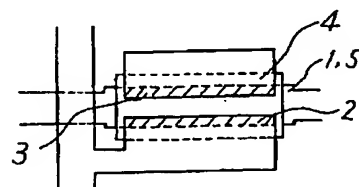
【符号の説明】

- 1 ゲート電極
- 2 ドレイン電極
- 3 ソース電極
- 4 半導体層
- 5 ゲート配線
- a ゲート電極ードレイン電極重なり幅
- b チャンネル長
- c ゲート電極ーソース電極重なり幅
- d ゲート電極幅
- e 半導体層幅
- f, g チャンネル非形成領域
- h ドレイン電極重ね合わせマージン
- i ソース電極重ね合わせマージン

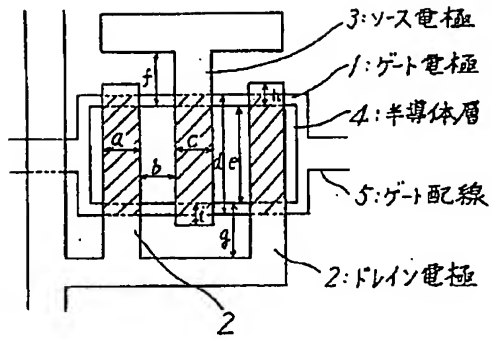
【図4】



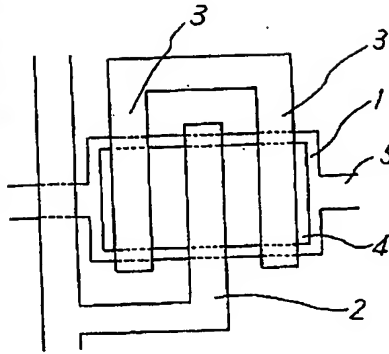
【図5】



【図1】



【図2】



【図3】

